

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月13日

出 願 番 号
Application Number:

特願2002-267680

[ST.10/C]:

[JP2002-267680]

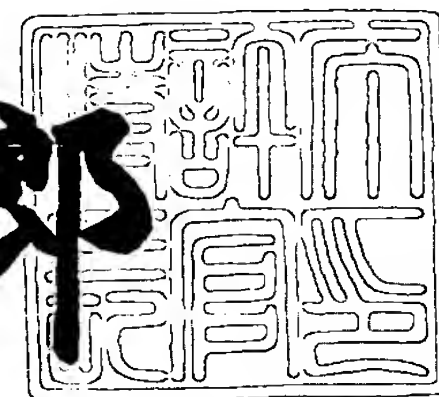
出 願 人
Applicant(s):

富士通株式会社

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036591

【書類名】 特許願

【整理番号】 0241032

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 冗長セルアレイへの置き換えを正常に行う半導体メモリ

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 アンディー チェン

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100094525

 【弁理士】

 【氏名又は名称】 土井 健二

【選任した代理人】

 【識別番号】 100094514

 【弁理士】

 【氏名又は名称】 林 恒徳

【手数料の表示】

 【予納台帳番号】 041380

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 2 - 2 6 7 6 8 0

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 冗長セルアレイへの置き換えを正常に行う半導体メモリ

【特許請求の範囲】

【請求項 1】 半導体メモリにおいて、
複数のメモリセルを有するコアアレイと、
前記コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイと、
前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、
前記コアアレイと前記冗長アレイとの置換を制御する冗長制御部とを有し、
更に、前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時は、前記置換対象アドレスに応じて当該第 1 の置換対象領域を前記冗長アレイと置換するよう制御し、前記第 1 の置換対象領域の一部が前記コアアレイの外側に位置する時は、前記置換対象アドレスにかかわらず、前記不良セルを有し前記コアアレイの内側にある第 2 の置換対象領域を前記冗長アレイと置換するよう制御することを特徴とする半導体メモリ。

【請求項 2】 請求項 1 において、
前記冗長制御部は、アクセス時に供給されるアクセスアドレスと前記置換対象アドレスとを比較して、その比較結果に応じて、前記第 1 の置換対象領域を冗長アレイと置換することを特徴とする半導体メモリ。

【請求項 3】 請求項 1 において、
前記コアアレイが複数のブロックを有し、前記置換対象アドレスは、当該ブロックアドレスとブロック内アドレスとを有し、
前記冗長制御部は、前記第 1 の置換対象領域が隣接する前記ブロックに延びる時は、アクセス時に供給されるアクセスアドレスと前記ブロック内アドレスとの比較結果に応じて、前記隣接するブロックのいずれかのブロックを前記冗長アレイと置換することを特徴とする半導体メモリ。

【請求項 4】 請求項 1 において、
前記コアアレイが複数のブロックを有し、当該複数のブロックがそれぞれ複数

のサブブロックを有し、前記置換対象アドレスは、ブロックアドレスと前記サブブロックのアドレスとサブブロック内アドレスとを有し、

前記冗長制御部は、前記第 1 の置換対象領域が隣接する前記サブブロックに延びる時は、前記アクセスアドレスと前記サブブロック内アドレスとの比較結果に応じて、前記隣接するサブブロックのいずれかのブロックを前記冗長アレイと置換することを特徴とする半導体メモリ。

【請求項 5】半導体メモリにおいて、

複数のメモリセルを含む複数のブロックを有するコアアレイと、

前記コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイと、

前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、

当該置換対象アドレスに応じて前記コアアレイと冗長アレイとの置換を制御する冗長制御部とを有し、

前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時であって、隣接するブロックの両方に延びる場合、アクセスアドレスに応じて当該隣接するブロックのいずれかを選択して、当該選択されたブロックと前記冗長アレイとを置換するよう制御し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、不良セルを有しコアアレイの内側にある第 2 の置換対象領域を冗長アレイと置換するように制御することを特徴とする半導体メモリ。

【請求項 6】請求項 5 において、

前記冗長アレイのサイズが、前記ブロックのサイズと同じであり、

前記置換対象アドレスは、前記第 1 の置換対象領域を示すブロックのブロックアドレスとブロック内アドレスとを有し、

前記冗長制御部は、前記隣接するブロックのいずれかの選択を、前記アクセスアドレスと前記ブロック内アドレスとの比較により行うことを特徴とする半導体メモリ。

【請求項 7】請求項 5 において、

前記コアアレイの各ブロックは、更に複数のサブブロックを有し、

前記冗長アレイのサイズが前記サブブロックのサイズと同じであり、

前記置換対象アドレスは、前記第 1 の置換対象領域を示すブロックのブロックアドレスと、前記サブブロックのサブブロックアドレスと、サブブロック内アドレスとを有し、

前記冗長制御部は、隣接するブロックのいずれかの選択を、前記アクセスアドレスと前記サブブロック内アドレスとの比較により行うことを特徴とする半導体メモリ。

【請求項 8】 請求項 7 において、

前記第 1 の置換対象領域が隣接するサブブロックに延びる場合、前記冗長制御部は、前記アクセスアドレスに応じて当該隣接するサブブロックのいずれかを選択して、当該選択されたサブブロックと冗長アレイとを置換するよう制御することを特徴とする半導体メモリ。

【請求項 9】 請求項 5 において、

前記複数のブロックはそれぞれ出力端子に対応して設けられ、

前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時であって、隣接するブロックの両方に延びる場合、前記アクセスアドレスに応じて当該隣接するブロックのいずれかの出力を前記冗長アレイの出力と置換するよう制御し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、前記第 2 の置換対象領域の出力を冗長アレイの出力と置換するように制御することを特徴とする半導体メモリ。

【請求項 10】 請求項 5 において、

更に、前記ブロックに挟まれたレファレンスアレイを有し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側の前記レファレンスアレイに位置する時は、前記第 2 の置換対象領域を冗長アレイと置換するよう制御することを特徴とする半導体メモリ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、冗長セルアレイを有する半導体メモリに関し、特に、コアアレイ内の不良セル領域が冗長セルアレイと正常に置き換えられる半導体メモリに関する。

【0002】

【従来の技術】

半導体メモリは、大規模化及び微細化に伴って、コアアレイ内に不良セルが発生する。不良セルは、メモリセル自体の不良と共に隣接するビット線間の短絡などによる不良も原因の一つになっている。このような不良セルは、出荷前試験工程で検出され、検出された不良セルの領域を冗長セルアレイと置き換えることで救済される。最も一般的な置き換え方は、コアアレイ内の所定サイズのブロックを、同じ所定サイズの冗長セルアレイと置き換える方法である。この方法では、コアアレイがあらかじめ複数のブロックに固定的に分離されていて、検出された不良セルを有するブロックのアドレスを不良セル情報記憶領域に書き込むことで冗長セルアレイへの置換が行われる。そして、外部からアクセスがあった場合は、この不良セル情報記憶領域内に記憶されているアドレスのブロックに代えて、冗長セルアレイが選択される。

【0003】

図1は、半導体メモリの一例であるフラッシュメモリの従来の冗長構成を示す図である。このメモリでは、コアアレイCOAに隣接して冗長セルアレイRAが設けられている。コアアレイCOAには、一例として、16個のI/OブロックI/00-15と、レファレンスセルアレイRefAとが隣接して設けられる。アクセス時に供給されるアドレスA(23:0)は、アドレスバッファADD-Bufに入力され、ロウアドレスA(23:7)とコラムアドレスA(6:0)とに分けられ、それぞれXデコーダXDECとYデコーダYDECに供給される。コラムアドレスA(6:0)は、更に、冗長セルアレイのYデコーダYDECにも供給される。上記のメモリでは、各I/Oブロック内には、複数のビット線BLと、隣接するビット線間に設けられた64個のメモリセルMCと、複数のワード線WLとが設けられる。各I/Oブロックは、1本のワード線WLに対して、128ビットのデータを記憶することができる。

【 0 0 0 4 】

図 1 の例では、冗長セルアレイ R A が、コアアレイ内の I/O ブロックと同じサイズになっていて、不良セルが含まれる I/O ブロック I/O12 が、冗長セルアレイ R A と置き換えられている。不良セルアレイ R A のサイズは、特に I/O ブロックと同じサイズである必要はなく、それより小さいサイズの場合は、I/O ブロック内の一部の領域が冗長セルアレイと置き換えられる。

【 0 0 0 5 】

尚、図 1 のフラッシュメモリは、メモリセルがトラップゲートを有する不揮発性メモリであり、トラップゲートの両側に電荷を蓄積するかしないかによって、メモリセルのトランジスタ閾値電圧が異なり、それを利用して記憶データが読み出される。例えば、メモリセル MC0 の左側のビットを読み出す場合は、ワード線 W L を所定の電圧にし、ビット線 BL0 をグランドにし、ビット線 BL1 を介してメモリセルにセル電流が流れるか否かを検出する。その時、同じビット線 BL1 に接続される反対側のメモリセル MC1 の影響をなくすために、ビット線 BL2 はプリチャージレベルに駆動される。メモリセル MC0 の右側のビットを読み出す場合は、ビット線の関係が左右逆に制御される。このようなメモリセルアレイの構成は、バーチャルビット線構成と呼ばれ、メモリセルの両側にビット線が形成され、いずれか一方のビット線がグランドに接続され、いずれか他方のビット線が読み出し用ビット線として機能する。

【 0 0 0 6 】

図 1 のメモリセルは、製品として市場に流通しているが、それを具体的に開示した特許文献若しくは非特許文献については、本発明者らは不知である。また、シンクロナス DRAM の冗長構成について開示するものとして、以下の特許文献がある。

【 0 0 0 7 】

【特許文献】

特開平 8 - 1 0 2 1 8 6 号公報（1 9 9 6 年 4 月 1 6 日公開）

【 0 0 0 8 】

【発明が解決しようとする課題】

バーチャルビット線構成の一つの特徴として、不良セルを中心とする所定の不良セル領域が冗長セルアレイと置き換えられる。例えば、図 1 において、I/O ブロックの境界領域のメモリセル MC 0 に不良がある場合や、ビット線 BL 0、BL 1 間が短絡している場合に、その I/O ブロックを冗長セルアレイ RA と単純に置き換えるだけでは、不良を救済することはできない。その理由は、1 つのビット線はそれに接続される 1 対のメモリセルの状態に依存するので、ビット線 BL 0 を介してメモリセル MC 0 のセル電流を読み出す場合、ビット線 BL 0 の左側の図示しない隣接ビット線の電位を適切に制御して、それに接続されるメモリセルの動作の影響をなくす必要があるからである。従って、コアアレイの置換対象領域の周辺には、不良セルが存在しないようにする必要がある。

【 0 0 0 9 】

そこで、ムービングウインドウ方式により置換対象領域を設定することが提案されている。この方式によれば、コアアレイの置換対象領域をあらかじめ固定的に決めておくのではなく、検出された不良セルを中心とする領域を、その都度置換対象領域に設定する。つまり、置換対象領域が不良セルの位置に応じて移動する。そして具体的には、検出された不良セルが中心に位置するような領域のアドレスを、不良セル情報記憶領域に記録し、その記録されたアドレスの領域に代えて、冗長セルアレイを選択する。

【 0 0 1 0 】

このようなムービングウインドウ方式では、試験工程で不良セルが検出された時、その不良セルが中心に位置するような所定領域の情報、例えばその領域の先頭アドレスが不良セル情報記憶領域に書き込まれる。従って、不良セルがメモリブロックの境界に位置する場合は、コアアレイのメモリブロックの境界の両側を置換対象領域に設定する。その場合は、アクセス時のアドレスに応じて、境界のどちら側のメモリブロックの出力と冗長セルアレイの出力とを切り換えるかをチェックする必要がある。更に、解決すべき問題点としては、コアアレイの端部に不良セルが位置する場合は、コアアレイの端部の境界の両側が置換対象領域に設定される。この場合、コアアレイの端部境界の外側にはメモリブロックが存在しないので、コアアレイの内側のメモリブロックの境界に不良セルが存在する場合

と同様の置換チェック機能を利用することができなくなる。

【 0 0 1 1 】

このようなセルアレイの端部境界の問題は、コアアレイに隣接してレファレンスアレイが設けられる場合にも発生する。レファレンスアレイには、読み出しやベリファイ時に、コアアレイ内のメモリセルを選択すると同時に、選択されるレファレンスセルが配置される。従って、不良セルがコアアレイとレファレンスアレイとの境界付近に存在する場合も、置換対象領域がコアアレイの外側のレファレンスアレイを含むことになり、上記と同様の問題が発生する。

【 0 0 1 2 】

そこで、本発明の目的は、不良セルを含む領域を冗長セルアレイと置換する半導体メモリにおいて、不良セルの位置にかかわらず冗長セルアレイとの置換を適切に行うことができる半導体メモリを提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第 1 の側面によれば、複数のメモリセルを有するコアアレイと、コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイとを有する半導体メモリにおいて、前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、コアアレイと冗長アレイとの置換を制御する冗長制御部とを有する。更に、冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時は、前記置換対象アドレスに応じて当該第 1 の置換対象領域を冗長アレイと置換するよう制御し、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、不良セルを有しコアアレイの内側にある第 2 の置換対象領域を冗長アレイと置換するように制御することを特徴とする。

【 0 0 1 4 】

上記の第 1 の側面によれば、メモリの試験工程において、検出された不良セルの両側が含まれる第 1 の置換対象領域のアドレスが置換アドレスメモリに記憶される。従って、不良セルがコアアレイの端部に位置する場合に、第 1 の置換対象領域の一部がコアアレイの外側に位置するという不都合が発生する。そこで、冗

長制御部が、第 1 の置換対象領域ではなく、不良セルを有しコアアレイの外側を含まない第 2 の置換対象領域を冗長アレイと置換するように自動的に制御する。従って、試験工程において、置換アドレスメモリに記憶する置換対象アドレスを、不良セルの位置にかかわらず、一律同じ論理演算により求めることができ、試験工程を単純化して製品コストを低下させることができる。その場合に発生する上記不都合は、冗長制御部により自動的に解消される。

【 0 0 1 5 】

上記の目的を達成するために、本発明の第 2 の側面によれば、複数のメモリセルを有するコアアレイと、コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイとを有する半導体メモリにおいて、コアアレイが複数のブロックを有し、当該複数のブロックそれぞれからデータが出力される。更に、半導体メモリは、前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、当該置換対象アドレスに応じてコアアレイと冗長アレイとの置換を制御する冗長制御部とを有する。そして、前記第 1 の置換対象領域が全てコアアレイ内に位置する時であって、隣接するブロックの両方に延びる場合、冗長制御部は、アクセスアドレスに応じて当該隣接するブロックのいずれかを冗長アレイとを置換するよう制御する。また、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、前記冗長制御部は、不良セルを有しコアアレイの内側にある第 2 の置換対象領域を冗長アレイと置換するように制御することを特徴とする。

【 0 0 1 6 】

上記第 2 の側面における一実施例では、冗長アレイのサイズが、前記ブロックのサイズと同じである。そして、置換対象アドレスは、第 1 の置換対象領域を示すブロックのブロックアドレスと、第 1 の置換対象領域を示すブロック内アドレスとを有し、冗長制御部は、上記隣接するブロックのいずれかの選択を、アクセスアドレスとブロック内アドレスとの比較により行うことを特徴とする。

【 0 0 1 7 】

上記第 2 の側面における別の実施例では、コアアレイの各ブロックは、更に複数のサブブロックを有し、冗長アレイのサイズがサブブロックのサイズと同じで

ある。そして、置換対象アドレスは、第 1 の置換対象領域を示すブロック及びサブブロックのアドレスと、第 1 の置換対象領域を示すサブブロック内アドレスとを有し、冗長制御部は、隣接するブロックのいずれかの選択を、アクセスアドレスとサブブロック内アドレスとの比較により行う。

【 0 0 1 8 】

更に、上記の実施例において、第 1 の置換対象領域が隣接するサブブロックに延びる場合、冗長制御部は、アクセスアドレスに応じて当該隣接するサブブロックのいずれかを選択して、当該選択されたサブブロックと冗長アレイとを置換するよう制御する。従って、第 1 の置換対象領域が隣接するサブブロックに加えて隣接するブロックにも延びる場合は、アクセスアドレスに応じて当該隣接するサブブロック及び隣接するブロックのいずれかをそれぞれ選択して、置換アレイと置換する。

【 0 0 1 9 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 2 0 】

本実施の形態では、半導体メモリとして、トラップゲートを有し、トラップゲートに電荷が注入されるか否かにより閾値電圧が異なるセルトランジスタを有するフラッシュメモリを例にして説明する。

【 0 0 2 1 】

本実施の形態における半導体メモリの全体構成は、図 1 に示した構成に加えて、不良セルの両側を含む第 1 の置換対象領域のアドレスを置換対象アドレスとして記憶する置換アドレスメモリと、コアアレイの出力と冗長セルアレイの出力との置換を制御する冗長制御部とを有する。これらの構成については、後に詳述する。

【 0 0 2 2 】

図 2、図 3、図 4 は、本実施の形態における置換対象領域と冗長セルアレイと

の置き換えの原理を示す図である。図2において、コアアレイは、消去単位である複数のセクタを有し、各セクタは、複数のI/Oブロックを有する。図1に示されたコアアレイCOAは、1つのセクタのみで構成される例であり、そのセクタ内に16個のI/OブロックI/00-I/015と1個のレファレンスアレイRefAとが含まれる。図2には、そのうち、セクタK内のI/OブロックI/0n、I/0n+1、I/0n+2、及びI/015が示されている。各I/Oブロックは、仮想的に4つのサブブロックSub-I0-0-Sub-I0-3に分割され、各サブブロックのアドレスA6、A5がそれぞれ示される。また、冗長アレイRAは、I/Oブロックと同じサイズであり、同様に4つのサブブロックに分割される。

【 0 0 2 3 】

図2の例では、x印の不良セルが、セクタK内のI/OブロックI/0nのサブブロック(0, 1)の領域内に存在する。この場合、冗長アレイRAと置換される置換対象領域10は、スタートアドレスSAがA6,A5=0,0でエンドアドレスLAがA6,A5=1,1となる。このスタートアドレスSAとエンドアドレスLAで挟まれた置換対象領域10が、リペアウインドウであり、冗長アレイRAと置き換えられる。また、この置換対象領域10は、不良セルの両側の領域を含むように設定され、バーチャルビット線構成であっても、リードやプログラム動作に支障がないように置換される。従って、置換対象領域10のアドレスは、I/0nブロックのアドレスと、そのブロック内のサブブロックアドレスとを有し、これらの情報が置換対象領域のスタートアドレスSAとして、図示しない置換アドレスメモリに記録される。

【 0 0 2 4 】

上記のように、置換対象領域10のスタートアドレスSAがI/0n及びA6,A5=0,0の場合は、I/OブロックI/0n全てが冗長アレイRAと一括して置換される。従って、I/OブロックI/0nからの出力を全て冗長アレイRAからの出力に置き換えるようにすれば良い。つまり、図示しない冗長制御部は、置換対象アドレスに含まれるI/Oブロックアドレスnに応じて、置換アレイRAとの置き換えを行うように制御する。

【 0 0 2 5 】

図 3 の例では、x 印の不良セルが、セクタ K 内の I/O ブロック I/0n のサブブロック (1, 1) の領域内に存在する。この場合、冗長アレイ R A と置換される置換対象領域 1 0 は、スタートアドレス S A が A6, A5=1, 0 でエンドアドレス L A が A6, A5=0, 1 となる。このスタートアドレス S A とエンドアドレス L A で挟まれた置換対象領域 1 0 が、リペアウインドウであり、冗長アレイ R A と置き換えられる。つまり、置換対象領域 1 0 は、不良セルの両側の領域を含むように設定される。従って、置換対象領域 1 0 は、隣接する I/O ブロック I/0n、I/0n+1 の両側に延びることになる。

【 0 0 2 6 】

上記のように、置換対象領域 1 0 が I/O ブロックの境界の両側に延びる場合は、冗長アレイ R A の上位側のサブブロック (1, 0) (1, 1) は I/O ブロック I/0n の上位側のサブブロック (1, 0) (1, 1) と置換され、冗長アレイ R A の下位側のサブブロック (0, 0) (0, 1) は I/O ブロック I/0n+1 の下位側のサブブロック (0, 0) (0, 1) と置換される必要がある。従って、アクセスアドレス (またはユーザアドレス) U A がスタートアドレスのブロック内アドレス A6, A5=1, 0 と比較され、その比較結果によって、冗長アレイ R A と置換される I/O ブロック I/0n または I/0n+1 が選択される。図 3 に示されるとおり、アクセスアドレス U A がスタートアドレス S A のブロック内アドレス以上の場合 ($SA \leq UA$) は、冗長アレイ R A の出力は I/O ブロック I/0n の出力と置換され、アクセスアドレス U A がスタートアドレス S A のブロック内アドレス未満の場合 ($UA < SA$) は、冗長アレイ R A の出力は I/O ブロック I/0n+1 の出力と置換される。上記の区別をするために、図示しない冗長制御部は、アクセスアドレス U A とスタートアドレス S A のブロック内アドレスとを比較して、隣接する I/O ブロックのいずれかを選択し、その選択された I/O ブロックの出力を冗長アレイ R A の出力と置き換える。具体的には、冗長制御部は、 $UA < SA$ の時に、置換対象アドレスの I/O ブロックアドレス n をインクリメントして n+1 にする。

【 0 0 2 7 】

図 4 の例では、x 印の不良セルが、セクタ K 内の最上位の I/O ブロック I/015 のサブブロック (1, 1) の領域内に存在する。この場合、冗長アレイ R A と置換

される置換対象領域のスタートアドレス SA が $I/015$ 及び $A6, A5=1, 0$ で、エンドアドレス LA (図示せず) が $I/016$ 及び $A6, A5=0, 1$ となる。しかし、このスタートアドレス SA とエンドアドレス LA で挟まれた領域 10 は、コアアレイの最上位端部の外側の領域まで含むことになる。不良セルが $I/0$ ブロック $I/015$ 内のサブブロック $(1, 1)$ 内に存在することが試験工程で検出されると、スタートアドレス SA は、自動的に $I/015$ 及び $A6, A5=(1, 0)$ に設定される。これは、試験工程でのスタートアドレス設定ロジックを、不良セルの位置にかかわらず画一的にしていることが原因である。

【 0 0 2 8 】

このようにスタートアドレス SA から始まる置換対象領域 10 が、コアアレイの外側まで延びてしまうと、図 2, 3 のような冗長アレイ RA との置換を正常に行うことができない。そこで、本実施の形態では、図 4 に示されるとおり、スタートアドレス SA にかかわらず、不良セル x を有しコアアレイ端部の内側にある別の置換対象領域 12 の出力を、冗長アレイ RA の出力と置換する。つまり、スタートアドレス SA に基づく第 1 の置換対象領域 10 がコアアレイの外側にはみ出してしまう場合は、スタートアドレスによらない第 2 の置換対象領域 12 の出力を冗長アレイ RA の出力と置換する。具体的には、図示しない冗長制御部が、置換アドレスメモリの置換対象アドレスをチェックし、不良セルの両側を含む第 1 の置換対象領域 10 がコアアレイの外側に延びているときは、スタートアドレス SA とアクセスアドレス UA との比較による隣接 $I/0$ ブロックのいずれかの選択結果をディセーブルする。その結果、アクセスアドレス UA がスタートアドレス SA より小さい ($UA < SA$) 場合であっても、 $I/0$ ブロックの番号をインクリメントすることを行わず、 $I/0$ ブロック $I/015$ の出力は全て冗長アレイ RA の出力と置換される。

【 0 0 2 9 】

図 1 に示されるレファレンスアレイ $RefA$ に隣接する $I/0$ ブロック $I/011$ においても、図 4 と同様の状態が発生する。つまり、スタートアドレスから決まる第 1 の置換対象領域が、 $I/0$ ブロック $I/011$ の端部からレファレンスアレイ $RefA$ まで延びてしまうと、冗長アレイ RA との置換を正常に行うことができない。そこで、こ

の場合も、全てがコアアレイ内に位置する第2の置換対象領域の出力が、冗長アレイRAの出力と置き換えられる。

【 0 0 3 0 】

更に、置換対象領域をそのラストアドレスで置換アドレスメモリに記録するようにする場合は、図1のI/OブロックI/00の左端に不良セルが存在する時に、ラストアドレスで決まる第1の置換対象領域が、コアアレイの外側に延びてしまうことになる。或いは、I/OブロックI/04の左端に不良セルが存在する時に、ラストアドレスで決まる第1の置換対象領域が、レファレンスアレイRefAに延びてしまうことになる。その場合も、同様に、ラストアドレスによらずに、コアアレイ内の第2の置換対象領域の出力を冗長アレイRAの出力と置き換えるように制御される。

【 0 0 3 1 】

図5は、第1の実施の形態における半導体メモリの構成図である。第1の実施の形態では、冗長アレイRAがコアアレイCOA内の1個のI/Oブロックと同じサイズである。コアアレイCOAの構成は、図1と同じであり、セクタ内に16個のI/Oブロックが含まれ、それらのI/Oブロックは16個の入出力端子に対応する。そして、各I/Oブロックは、仮想的に4つのサブブロック(A6,A5=0,0~1,1)に分けられ、I/Oブロックと同じサイズである冗長アレイRAも同様に4つのサブブロックに分けられている。このサブブロックのアドレスを、置換対象領域10を定義するスタートアドレスSAとラストアドレスLAに利用する。つまり、置換対象領域10を示すスタートアドレスSAは、どのI/Oブロックのどのサブブロックかをそれぞれ特定するCAMIO(3:0)とCAM(6:5)とからなり、置換対象アドレスとして、置換アドレス記憶部24に記憶される。

【 0 0 3 2 】

各I/Oブロックには、図示しないYデコーダからの選択信号に応じてI/Oブロック内のビット線を選択するYゲートYgate-n、Ygate-n+1と、その出力を検出するセンスアンプS/A-n、S/An+1とが設けられる。同様に、冗長アレイRAにも、冗長アレイ内のビット線を選択するYゲートYgate-REDと、その出力を検出するセンスアンプS/A-REDとが設けられる。そして、コアアレイCOA側の16個のセンス

アンプS/A出力と、冗長アレイRA側の1個のセンスアンプS/A-REDの出力とが、選択回路であるマルチプレクサMUX-n、MUX-n+1に供給さる。マルチプレクサは、冗長制御部20からの置換信号REDMUXに応じて、コア側の出力か冗長アレイ側の出力かを選択し、入出力バッファI/O-Bufに出力する。または、書き込み動作では、マルチプレクサは、入出力バッファI/O-Bufからの書き込みデータを、置換信号REDMUXに応じて、コア側か冗長アレイ側かに出力する。

【0033】

アクセス時に外部から供給されるアクセスアドレスUA(6:0)は、コアアレイのYデコーダに供給されると共に、冗長アレイのYデコーダにもアドレスRA(6:0)として供給される。また、そのアクセスアドレスUAの上位2ビットUA(6:5)が冗長制御部20に供給される。

【0034】

テスト工程で不良セルが検出されると、その不良セルの両側を有する置換対象領域10のスタートアドレスSAとして、置換対象領域10の左端のI/OブロックのアドレスCAMIO(3:0)と、I/Oブロック内のサブブロックのアドレスCAM(6:5)とが、置換アドレス記憶部24に記録される。スタートアドレスSAは、不良セルが含まれるサブブロックよりも1つデクリメントされたサブブロックアドレスに自動的に設定される。図5の例では、不良セルxは、I/OブロックI/0n内のサブブロックアドレスA6,A5=1,1内に存在するので、スタートアドレスSAは、それより1つ少ない、I/OブロックI/0n内のサブブロックアドレスA6,A5=1,0に設定される。従って、図5の不良セルxに対しては、置換アドレス記憶部24には、置換対象領域10を特定するI/OブロックアドレスCAMIO(3:0)=nと、I/Oブロック内のサブブロックアドレスCAM(6:5)=1,0とがスタートアドレスSAとしてそれぞれ記憶される。

【0035】

図5の例では、不良セルxがI/OブロックI/0n内のサブブロック(1,1)内に位置するので、スタートアドレスSAで決まる置換対象領域10は、隣接するI/OブロックI/0n、I/0n+1の両方を含むことになる。従って、冗長制御部20は、アクセスアドレスUA(6:5)と置換アドレス記憶部24内のスタートアドレスSA

るサブブロックアドレスCAM(6:5)とを比較し、アクセスアドレスUA(6:5)がサブブロックアドレスCAM(6:5)以上 ($SA \leq UA$) であれば、置換アドレス記憶部 2 4 のI/OブロックアドレスCAMIO(3:0) = nに対応する置換信号REDMUX(n)をHレベルにして、I/OブロックI/0nの出力を冗長アレイRAの出力と置き換えるようにマルチプレクサMUXを制御する。例えば、ケース2のように、図中サブブロック(1, 0)内の三角形で示されるセルがアクセスされた時である。この場合は、冗長アレイRA内のサブブロック(1, 0)の出力に置換される。

【 0 0 3 6 】

一方、アクセスアドレスUA(6:5)がスタートアドレスSAのサブブロックアドレスCAM(6:5)未満 ($UA < SA$) であれば、置換アドレス記憶部 2 4 のI/OブロックアドレスCAMIO(3:0) = nを1つインクリメントしたアドレスn+1に対応する置換信号REDMUX(n+1)をHレベルにして、I/OブロックI/0n+1の出力を冗長アレイRAの出力と置き換えるようにマルチプレクサMUXを制御する。例えば、ケース1のように、図中サブブロック(0, 1)内の黒丸で示されるセルがアクセスされた時である。

【 0 0 3 7 】

図6は、冗長制御部の動作の論理値表を示す図である。置換対象領域10のスタートアドレスSAは、不良セルxが存在するサブブロックより1つ少ないサブアドレスであり、図5の例では、CAMIO(3,2,1,0) = n (但し10進法)、CAM(6:5) = (1,0)である。このスタートアドレスのサブアドレスCAM(6:5) = (1,0)とアクセスアドレスUA(6:5)との比較から、CAM(6:5) = \leq UA(6:5)、つまりアクセスアドレスUA(6:5) = (1,0), (1,1)の場合には、アドレスCAMIO(3,2,1,0) = nに対応する置換信号REDMUX nがHレベルになる。その結果、I/OブロックI/0nの出力が冗長アレイの出力と置き換えられる。一方、UA(6:5) < CAM(6:5)、つまりアクセスアドレスUA(6:5) = (0,0), (0,1)の場合には、アドレスCAMIO(3,2,1,0) = nをインクリメントしたn+1に対応する置換信号REDMUX n+1がHレベルになる。そして、I/OブロックI/0n+1の出力が冗長アレイの出力と置き換えられる。つまり、この場合は、I/Oブロックアドレスのインクリメントが行われたことになる。

【 0 0 3 8 】

図 6 中の I/O アドレスチェッカー 22 は、置換対象アドレスの I/O ブロックのアドレス CAMIO(3:0) がコアアレイの端部の I/011 または I/015 か否か、そして、ブロック内アドレス CAM(6:5) が (0,1) (1,0) (1,1) のいずれか否かをチェックすることで、置換対象アドレスで示された置換対象領域がコアアレイの端部の外側に延びているか否かをチェックする。もし、外部に延びている場合は、冗長制御部 20 による I/O インクリメントをディセーブルするディセーブルインクリメント信号 DISINC を出力する。従って、図 5 の例では、不良セル x の両側を有する第 1 の置換対象領域が全てコアアレイ内に存在するので、I/O アドレスチェッカー 22 がディセーブルインクリメント信号を出力することはない。

【 0 0 3 9 】

図 7 は、第 1 の実施の形態における半導体メモリの構成図である。このメモリの構成は、図 5 と同じである。但し、図 7 の例は、不良セル x がコアアレイ COA の右端のサブブロック A6, A5=1,1 内に存在する。この不良セルの位置から第 1 の置換対象領域 10 を特定するスタートアドレス SA は、CAMIO(3:0)=I/015、CAM(6:5)=(1,1) に設定される。従って、このスタートアドレス SA で特定される第 1 の置換対象領域 10 は、コアアレイ COA の右端の外側まで延びてしまう。この場合は、冗長制御部 20 は、I/O アドレスチェッカー 22 からのディセーブルインクリメント信号 DISINC に応答して、スタートアドレス SA のサブブロックアドレス CAM(6:5) とアクセスアドレス UA(6:5) との比較によって隣接する I/O ブロックのいずれかを選択することを行わない。冗長制御部 20 は、上記 I/O インクリメントを行わずに、置換信号 REDMUX(15) を常に H レベルにして、I/O ブロック I/015 の全ての出力を冗長アレイ RA の出力と置換するよう制御する。つまり、冗長制御部 20 は、置換アドレス記憶部 24 内の第 1 の置換対象領域 10 を特定するサブブロックアドレス CAM(6:5) にかかわらず、全ての領域がコアアレイ内に位置する第 2 の置換対象領域 12 の出力を、置換アレイ RA の出力と置換する。

【 0 0 4 0 】

図 7 中では、サブブロック (0,1) 内の黒丸のセル（ケース 1）であっても、サブブロック (1,0) 内の三角のセル（ケース 2）であっても、I/O インクリメントは行われずに、I/O ブロック I/015 の出力と冗長アレイ RA の出力とが置き換えられ

る。

【 0 0 4 1 】

図 8 は、図 7 の不良セルの場合の冗長制御部の動作の真理値表である。I/O アドレスチェッカー 2 2 が、不良セルがコアアレイの端部に位置して、スタートアドレス S A で特定される第 1 の置換対象領域 1 0 がコアアレイからはみ出ていることを検出して、ディセーブルインクリメント信号 DISINC を H レベルにする。従って、冗長制御部 2 0 は、スタートアドレス S A のサブブロックアドレス CAM(6:5) とアクセスアドレス UA(6:5) との比較結果による I/O インクリメントを行わずに、置換アドレス記憶部 2 4 内の I/O アドレス I/015 に対応する第 2 置換対象領域 1 2 の出力を冗長アレイ R A の出力と置き換える。

【 0 0 4 2 】

図 9 は、第 1 の実施の形態における I/O アドレスチェッカーの論理回路図である。I/O アドレスチェッカー 2 2 は、スタートアドレス S A である CAMIO(3:0) と CAM(6:5) で特定される第 1 の置換対象領域 1 0 がコアアレイの外側まで延びているか否かをチェックする。具体的には、NAND ゲート 2 3 が、I/O ブロックアドレス CAMIO(3)(1)(0) を入力して、I/011=1011 または I/015=1111 の時に L レベルになり、NOR ゲート 2 4 が、サブブロックアドレス CAM(6)(5) を入力して、サブアドレスが (0,1)(1,0)(1,1) のいずれかの時に L レベルになり、両ゲート 2 3, 2 4 が共に L レベルを出力するときに NOR ゲート 2 5 が H レベルのディセーブルインクリメント信号 DISINC を出力する。

【 0 0 4 3 】

図 1 0 は、第 2 の実施の形態における半導体メモリの構成図である。第 2 の実施の形態では、コアアレイ COA 内の図示しないセクタが 1 5 個の I/O ブロック I/00 ~ I/015 を有し、各 I/O ブロックが 4 つのサブブロックまたはページ 0,0 ~ 1,1 を有する。そして、冗長アレイ R A は、ページと同じサイズを有する。従って、不良セルの両側を含む第 1 の置換対象領域 1 0 を特定するスタートアドレスは、I/O ブロックアドレス CAMIO(3:0) と、ページアドレス CAMPA(3:0) と、ページ内アドレス CAM(4:3) とからなる。尚、ページアドレス CAMPA(3:0) は、2 ビットではなく 4 ビットであり、この 4 ビットのデータは 4 つのページに対応する。

【 0 0 4 4 】

また、コアアレイCOAの各ページは、YゲートYGを介してセンスアンプS/Aに接続され、冗長置換回路MUXにて、冗長アレイRAからの出力と適宜置換される。この置換制御は、冗長制御部20からの64本の冗長置換信号REDMUX(63:0)に基づいて行われる。つまり、冗長置換回路MUXは、コアアレイCOA側の64個のセンスアンプS/A出力と、冗長アレイRA側の1個のセンスアンプS/A出力とから、16個の出力を選択して、16個の入出力バッファI/Obuf-0-I/Obuf-15に出力する。

【 0 0 4 5 】

第2の実施の形態でも、置換対象領域が不良セルの両側を有するように、不良セルの位置に応じて移動するムービングウィンドウ方式になっている。冗長アレイRAがページと同じサイズであるので、置換対象領域10が隣接するページにまたがることもある。図10の例では、置換対象領域10がI/OブロックI/014内の隣接するページ(0,1)(1,0)の両方に延びている。従って、冗長制御部20は、置換アドレス記憶部24内のスタートアドレスのうちの、ページ内アドレスCAM(4:3)とアクセスアドレスUA(4:3)とを比較して、第1の実施の形態と同様にして、隣接するページのいずれかを選択する。そして、冗長制御部20は、選択されたページに対応する置換信号REDMUXをHレベルにして、そのページの出力を冗長アレイRAの出力と置換するように制御する。つまり、冗長制御部20は、黒丸のセルがアクセスされた時は、ページアドレスCAMPA(3:0)をインクリメントする。

【 0 0 4 6 】

図11は、第2の実施の形態における半導体メモリの構成図である。図11の例では、不良セルxが、I/OブロックI/014のページ(1,1)の上位アドレス領域に位置しているので、その不良セルxが中心になるように設定された第1の置換対象領域10は、隣接するI/OブロックI/014、I/015の両方にまたがり、更に、隣接するI/OブロックI/014内のページ(1,1)とI/OブロックI/015内のページ(0,0)の両方にもまたがる。この場合は、冗長制御部20が、ページ内アドレスCAM(4:3)とアクセスアドレスUA(4:3)とを比較して、いずれのページがアクセスされているかを検出し、更に、いずれのI/Oブロックがアクセスされているかを検出する。例えば、図中黒丸の位置のセルがアクセスされている場合は、冗長制御部20

は、置換アドレス記憶部 2 4 内のページアドレスCAMPA(3)=(1,1)をページアドレスCAMPA(0)=(0,0)にインクリメントし、I/OブロックアドレスCAMIO(3:0)=I/O14をCAMIO(3:0)=I/O15にインクリメントし、それに対応する冗長置換信号REDMUXをHレベルにする。

【 0 0 4 7 】

図 1 2 は、第 2 の実施の形態における半導体メモリの構成図である。図 1 2 の例は、不良セル x が I/O ブロック I/O15 の右端に位置する例である。この場合、スタートアドレス S A により決まる第 1 の置換対象領域 1 0 の一部が、コアアレイ COA の外側になる。従って、冗長制御部 2 0 は、スタートアドレス S A から決まる第 1 の置換対象領域 1 0 ではなく、不良セルを含むが、全てコアアレイの内側に位置する第 2 の置換対象領域 1 2 の出力を冗長アレイ RA の出力に置き換えるように制御する。

【 0 0 4 8 】

そのために、I/O・ページアドレスチェッカー 2 2 は、置換アドレス記憶部 2 4 内に記憶されているスタートアドレスをチェックして、スタートアドレスで規定される第 1 の置換対象領域 1 0 がコアアレイをはみ出しているか否かをチェックする。第 1 の置換対象領域 1 0 がコアアレイからはみ出していることが検出されると、ディセーブルインクリメント信号DISINCが生成され、冗長制御部 2 0 によるページアドレスのインクリメントやI/Oブロックアドレスのインクリメントが禁止される。その結果、I/OブロックI/O15内のページ(1,1)の出力が全て冗長アレイRAの出力と置き換えられる。

【 0 0 4 9 】

図 1 3 は、第 2 の実施の形態におけるI/O・ページアドレスチェッカー回路の論理回路図である。図 9 のアドレスチェッカーと異なるところは、ページアドレスCAMPA(3)がNANDゲート 2 6 に入力され、ページ内アドレスCAM(4)(3)がNORゲート 2 7 に入力されている点であり、それ以外は同じである。従って、このアドレスチェッカー 2 2 は、スタートアドレスが、I/OブロックI/O11またはI/O15内のページ(1,1)内のアドレスCAM(4:3)=(1,1)の時に、第 1 の置換対象領域 1 0 がコアアレイの外側に延びることを検出し、ディセーブルインクリメント信号DISINC

をHレベルにして、冗長制御部20にI/Oブロックのインクリメントとページのインクリメントを禁止する。

【0050】

上記の実施の形態において、冗長制御部20は、スタートアドレスとアクセスアドレスとを比較して、置き換え対象ブロックまたはページの判定を行い、アドレスチェッカー22のディセーブル信号に応答して、その判定を行わないようにしている。冗長制御部20がこのアドレスチェッカーを内蔵して所定の論理回路で構成されてもよい。その所定の論理回路が、(1) スタートアドレスで特定される第1の置換対象領域がコアアレイ内の隣接ブロックまたは隣接ページに延びる時に、アクセスアドレスに応じて置換対象ブロックまたは置換対象ページを判断して、それに対応する出力を冗長アレイの出力と置換するように制御し、(2) 第1の置換対象領域が第1の置換対象領域がコアアレイの外側に延びる時に、不良セルを有し且つコアアレイ内に位置する第2の置換対象領域の出力を冗長アレイの出力と置換するように制御する。

【0051】

上記の実施の形態では、バーチャルビット線構成のフラッシュメモリを対象にして説明した。しかし、不良セルの両側の領域を置換対象領域として登録する方式の場合であれば、本実施の形態は、フラッシュメモリに限定されず、他のメモリでも適用できる。つまり、本実施の形態では、置換対象領域がコアアレイの外側に延びてしまう場合は、コアアレイの内部に位置する別の置換対象領域が選択されて、冗長アレイとの置き換えがなされる。

【0052】

また、置換アドレス記憶部には、第1の置換対象領域のスタートアドレスが記憶されているが、第1の置換対象領域のエンドアドレスが記憶されていてもよいし、第1の置換対象領域の中心アドレスが記憶されていてもよい。更に、冗長アレイのサイズは、必ずしもI/OブロックやサブI/Oブロック（またはページ）と同じ大きさにする必要もない。

【0053】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 5 4 】

(付記 1) 半導体メモリにおいて、
 複数のメモリセルを有するコアアレイと、
 前記コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイと、
 前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、
 前記コアアレイと前記冗長アレイとの置換を制御する冗長制御部とを有し、
 更に、前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時は、前記置換対象アドレスに応じて当該第 1 の置換対象領域を前記冗長アレイと置換するよう制御し、前記第 1 の置換対象領域の一部が前記コアアレイの外側に位置する時は、前記置換対象アドレスにかかわらず、前記不良セルを有し前記コアアレイの内側にある第 2 の置換対象領域を前記冗長アレイと置換するよう制御することを特徴とする半導体メモリ。

【 0 0 5 5 】

(付記 2) 付記 1 において、
 前記冗長制御部は、アクセス時に供給されるアクセスアドレスと前記置換対象アドレスとを比較して、その比較結果に応じて、前記第 1 の置換対象領域を冗長アレイと置換することを特徴とする半導体メモリ。

【 0 0 5 6 】

(付記 3) 付記 1 において、
 前記コアアレイが複数のブロックを有し、前記置換対象アドレスは、当該ブロックアドレスとブロック内アドレスとを有し、
 前記冗長制御部は、前記第 1 の置換対象領域が隣接する前記ブロックに延びる時は、アクセス時に供給されるアクセスアドレスと前記ブロック内アドレスとの比較結果に応じて、前記隣接するブロックのいずれかのブロックを前記冗長アレイと置換することを特徴とする半導体メモリ。

【 0 0 5 7 】

(付記 4) 付記 1 において、

前記コアアレイが複数のブロックを有し、当該複数のブロックがそれぞれ複数のサブブロックを有し、前記置換対象アドレスは、ブロックアドレスと前記サブブロックのアドレスとサブブロック内アドレスとを有し、

前記冗長制御部は、前記第 1 の置換対象領域が隣接する前記サブブロックに延びる時は、前記アクセスアドレスと前記サブブロック内アドレスとの比較結果に応じて、前記隣接するサブブロックのいずれかのブロックを前記冗長アレイと置換することを特徴とする半導体メモリ。

【 0 0 5 8 】

(付記 5) 半導体メモリにおいて、

複数のメモリセルを含む複数のブロックを有するコアアレイと、

前記コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイと、

前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、

当該置換対象アドレスに応じて前記コアアレイと冗長アレイとの置換を制御する冗長制御部とを有し、

前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時であって、隣接するブロックの両方に延びる場合、アクセスアドレスに応じて当該隣接するブロックのいずれかを選択して、当該選択されたブロックと前記冗長アレイとを置換するよう制御し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、不良セルを有しコアアレイの内側にある第 2 の置換対象領域を冗長アレイと置換するように制御することを特徴とする半導体メモリ。

【 0 0 5 9 】

(付記 6) 付記 5 において、

前記冗長アレイのサイズが、前記ブロックのサイズと同じであり、

前記置換対象アドレスは、前記第 1 の置換対象領域を示すブロックのブロックアドレスとブロック内アドレスとを有し、

前記冗長制御部は、前記隣接するブロックのいずれかを選択を、前記アクセス

アドレスと前記ブロック内アドレスとの比較により行うことを特徴とする半導体メモリ。

【 0 0 6 0 】

(付記 7) 付記 5 において、

前記コアアレイの各ブロックは、更に複数のサブブロックを有し、

前記冗長アレイのサイズが前記サブブロックのサイズと同じであり、

前記置換対象アドレスは、前記第 1 の置換対象領域を示すブロックのブロックアドレスと、前記サブブロックのサブブロックアドレスと、サブブロック内アドレスとを有し、

前記冗長制御部は、隣接するブロックのいずれかの選択を、前記アクセスアドレスと前記サブブロック内アドレスとの比較により行うことを特徴とする半導体メモリ。

【 0 0 6 1 】

(付記 8) 付記 7 において、

前記第 1 の置換対象領域が隣接するサブブロックに延びる場合、前記冗長制御部は、前記アクセスアドレスに応じて当該隣接するサブブロックのいずれかを選択して、当該選択されたサブブロックと冗長アレイとを置換するよう制御することを特徴とする半導体メモリ。

【 0 0 6 2 】

(付記 9) 付記 5 において、

前記複数のブロックはそれぞれ出力端子に対応して設けられ、

前記冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時であって、隣接するブロックの両方に延びる場合、前記アクセスアドレスに応じて当該隣接するブロックのいずれかの出力を前記冗長アレイの出力と置換するよう制御し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、前記第 2 の置換対象領域の出力を冗長アレイの出力と置換するように制御することを特徴とする半導体メモリ。

【 0 0 6 3 】

(付記 1 0) 付記 5 において、

前記メモリセルは、電荷を蓄積するトラップゲートを持つセルトランジスタを有し、共通のビット線に隣接する前記セルトランジスタが接続されていることを特徴とする半導体メモリ。

【 0 0 6 4 】

(付記 1 1) 付記 5 において、

更に、前記ブロックに挟まれたレファレンスアレイを有し、

前記冗長制御部は、前記第 1 の置換対象領域の一部がコアアレイの外側の前記レファレンスアレイに位置する時は、前記第 2 の置換対象領域を冗長アレイと置換するように制御することを特徴とする半導体メモリ。

【 0 0 6 5 】

(付記 1 2) 付記 5 において、

前記置換対象アドレスが、前記第 1 の置換対象領域の開始アドレスを有し、

前記第 1 の置換対象領域が前記コアアレイの最上位アドレスよりも外側を含む場合は、前記冗長制御部は、前記第 2 の置換対象領域を前記冗長アレイと置換するよう制御することを特徴とする半導体メモリ。

【 0 0 6 6 】

(付記 1 3) 付記 5 において、

前記置換対象アドレスが、前記第 1 の置換対象領域の終了アドレスを有し、

前記第 1 の置換対象領域が前記コアアレイの最下位アドレスよりも外側を含む場合は、前記冗長制御部は、前記第 2 の置換対象領域を前記冗長アレイと置換するよう制御することを特徴とする半導体メモリ。

【 0 0 6 7 】

【発明の効果】

以上、本発明によれば、不良セルを有する領域が冗長アレイと適切に置換される半導体メモリを提供することができる。

【図面の簡単な説明】

【図 1】

半導体メモリの一例であるフラッシュメモリの従来の冗長構成を示す図である

【図 2】

本実施の形態における置換対象領域と冗長セルアレイとの置き換えの原理を示す図である。

【図 3】

本実施の形態における置換対象領域と冗長セルアレイとの置き換えの原理を示す図である。

【図 4】

本実施の形態における置換対象領域と冗長セルアレイとの置き換えの原理を示す図である。

【図 5】

第 1 の実施の形態における半導体メモリの構成図である。

【図 6】

冗長制御部の動作の論理値表を示す図である。

【図 7】

第 1 の実施の形態における半導体メモリの構成図である。

【図 8】

冗長制御部の動作の論理値表を示す図である。

【図 9】

第 1 の実施の形態における I/O アドレスチェッカーの論理回路図である。

【図 1 0】

第 2 の実施の形態における半導体メモリの構成図である。

【図 1 1】

第 2 の実施の形態における半導体メモリの構成図である。

【図 1 2】

第 2 の実施の形態における半導体メモリの構成図である。

【図 1 3】

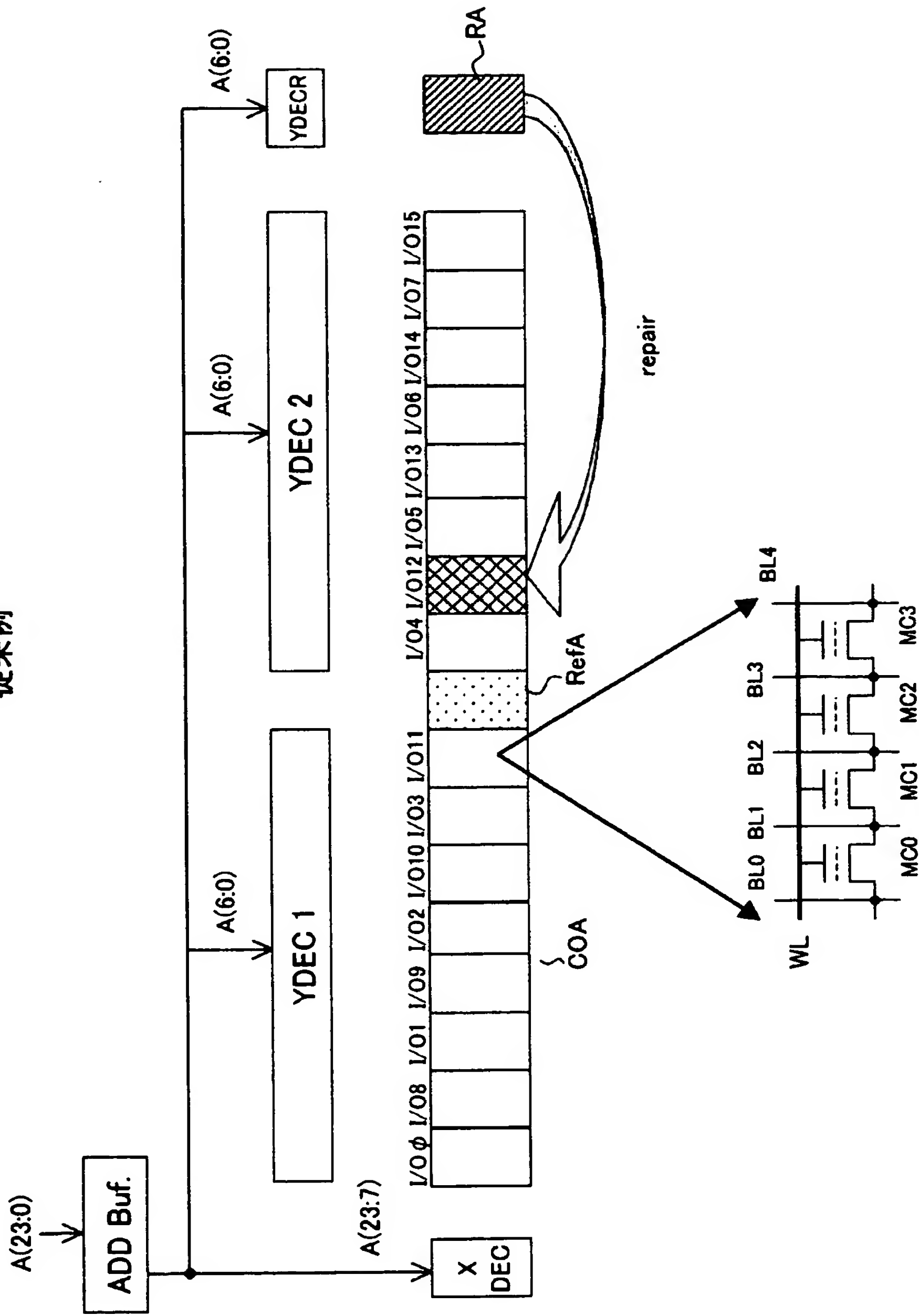
第 2 の実施の形態における I/O ・ ページアドレスチェッカーの論理回路図である。

【符号の説明】

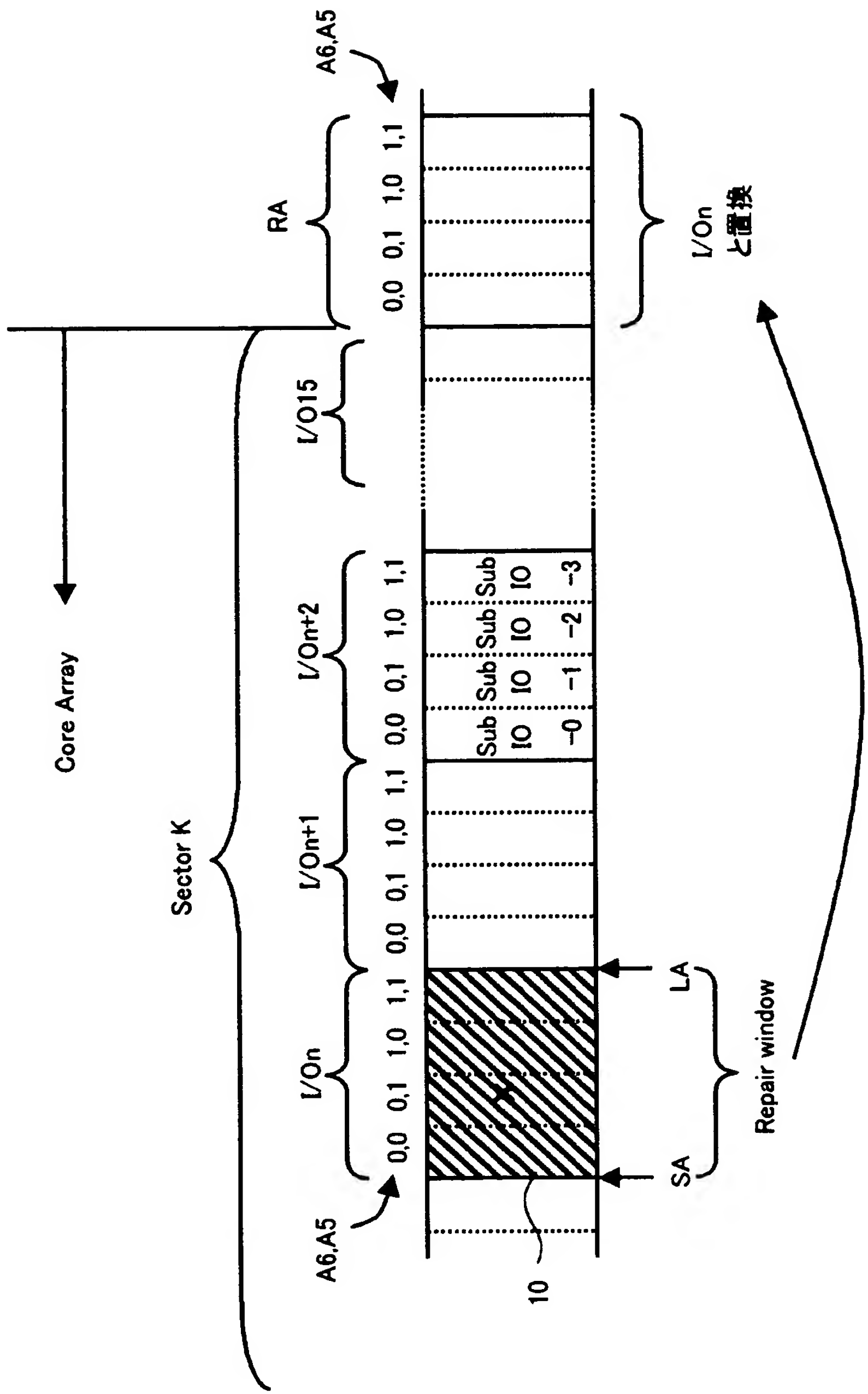
COA	コアアレイ
RefA	レファレンスアレイ
RA	冗長アレイ
1 0	第 1 の置換対象領域
1 2	第 2 の置換対象領域
2 0	冗長制御部
2 2	アドレスチェッカー
2 4	置換アドレス記憶部
SA	スタートアドレス、置換対象アドレス

【書類名】 図面
【図 1】

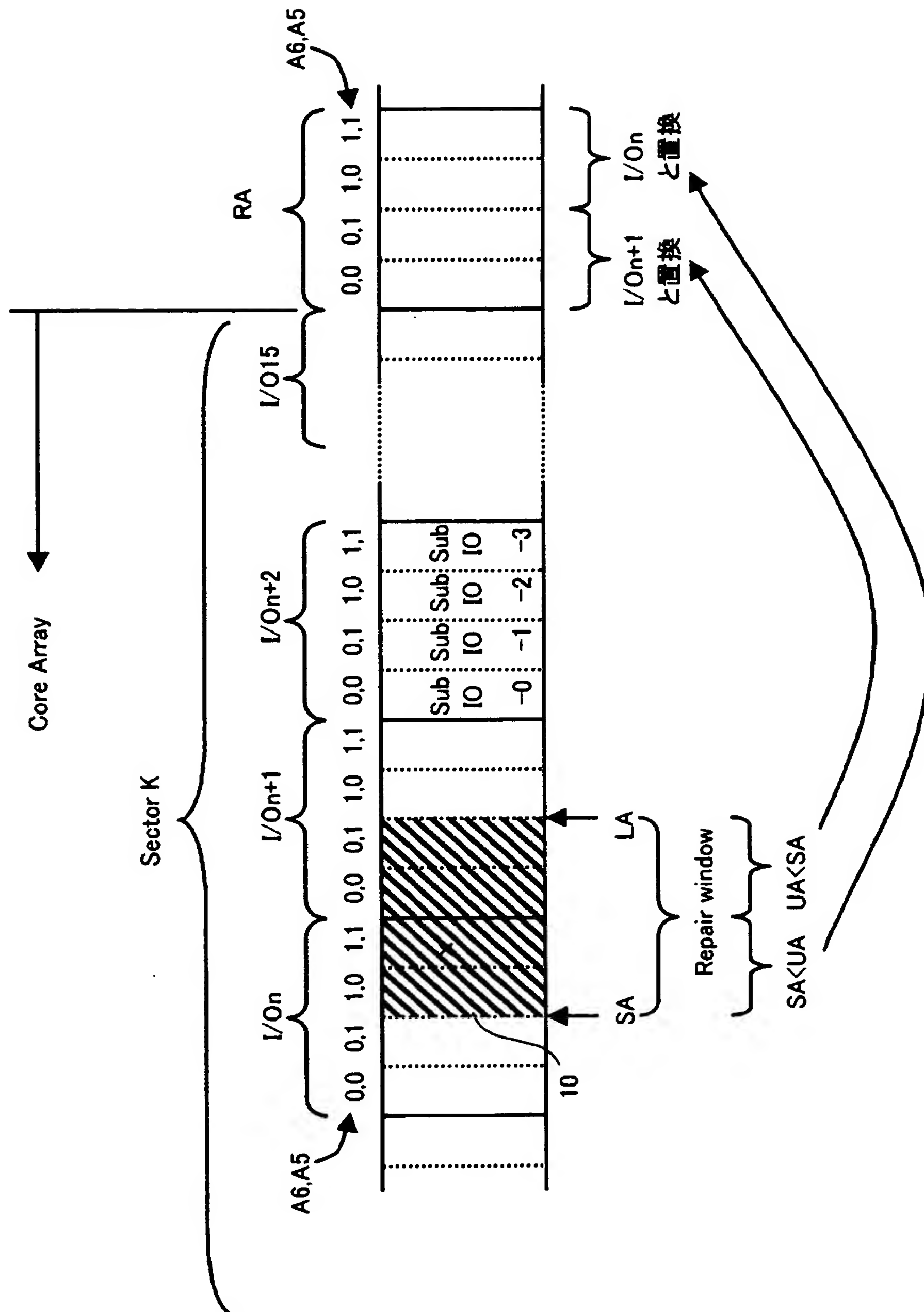
従来例



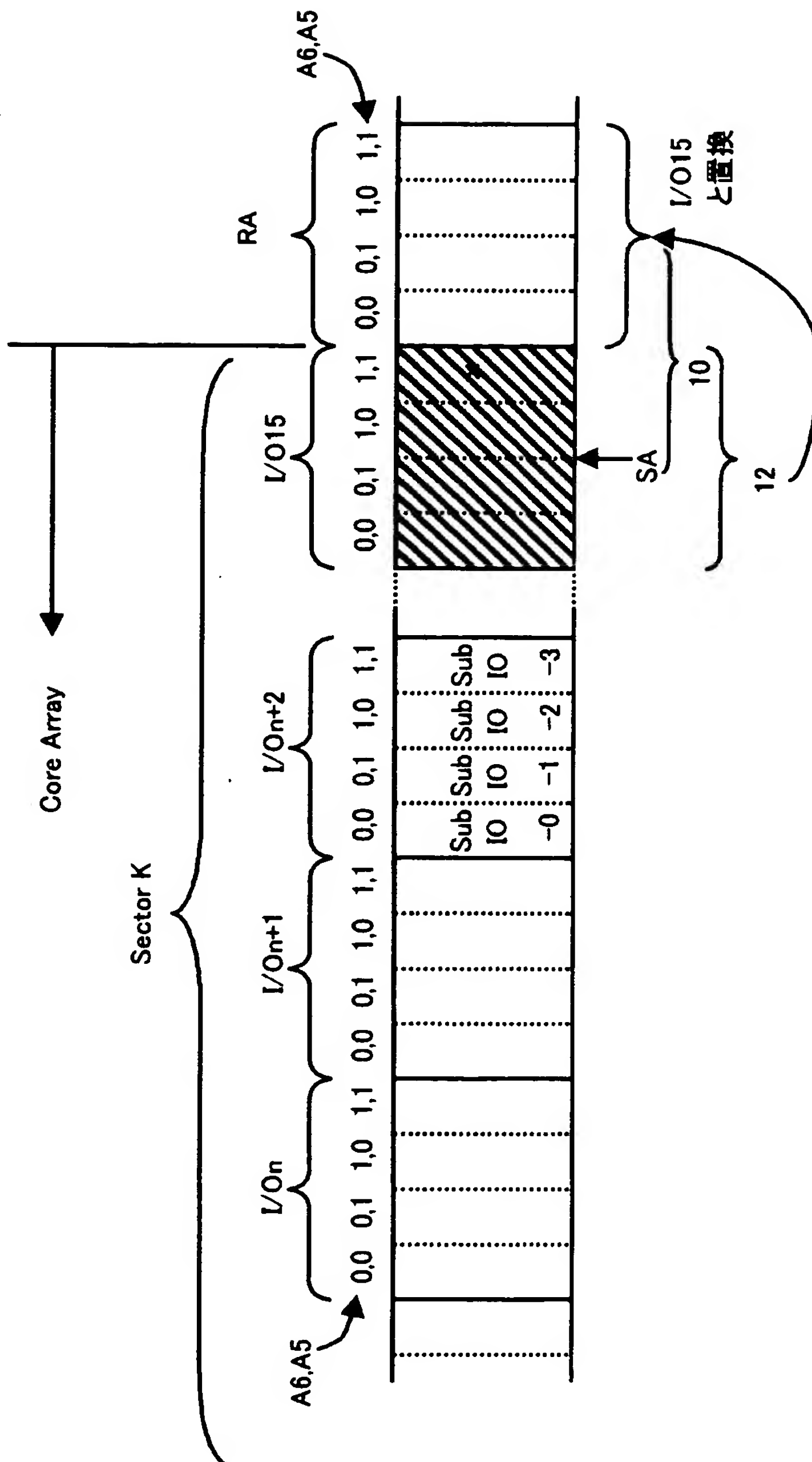
【図 2】



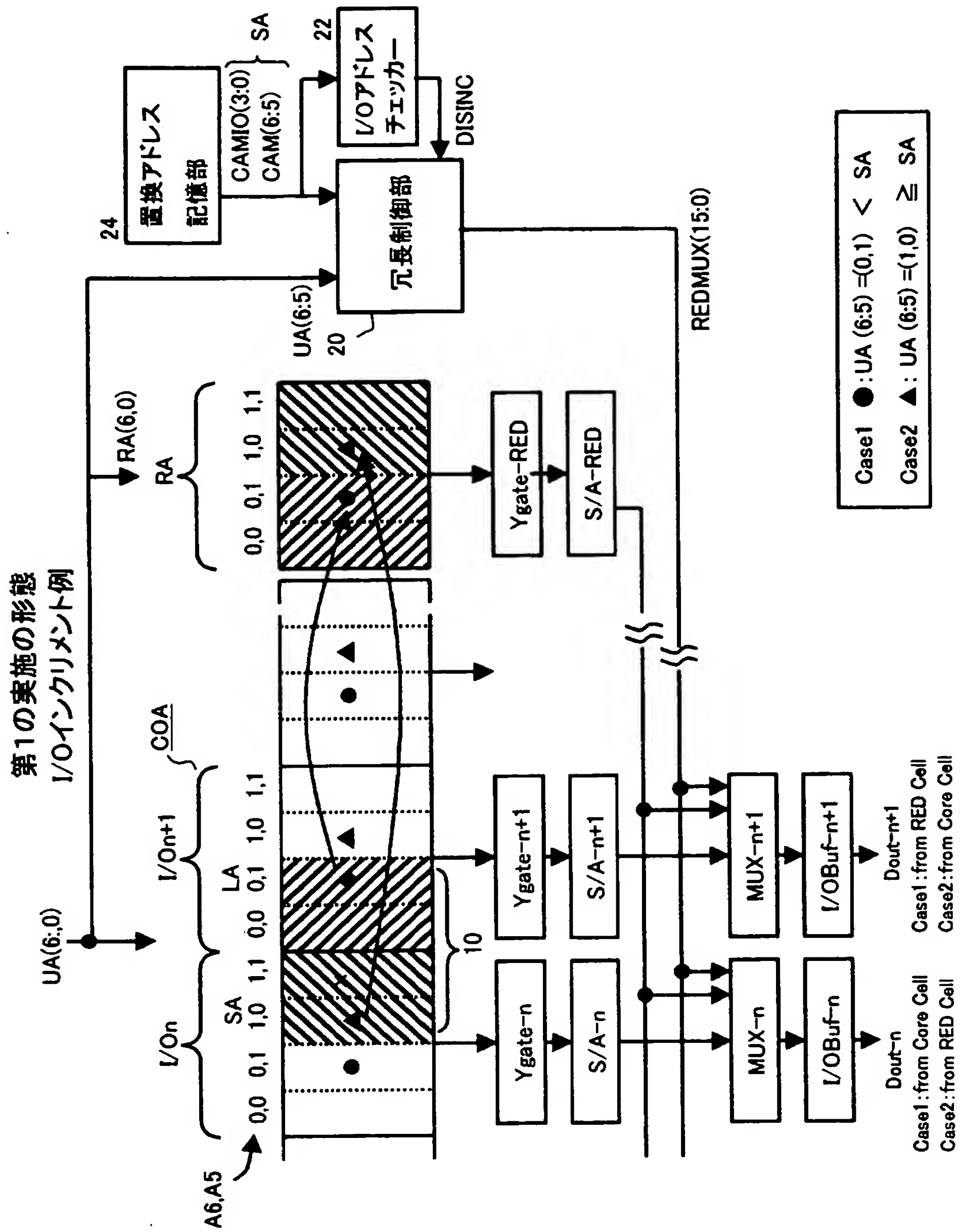
【図 3】



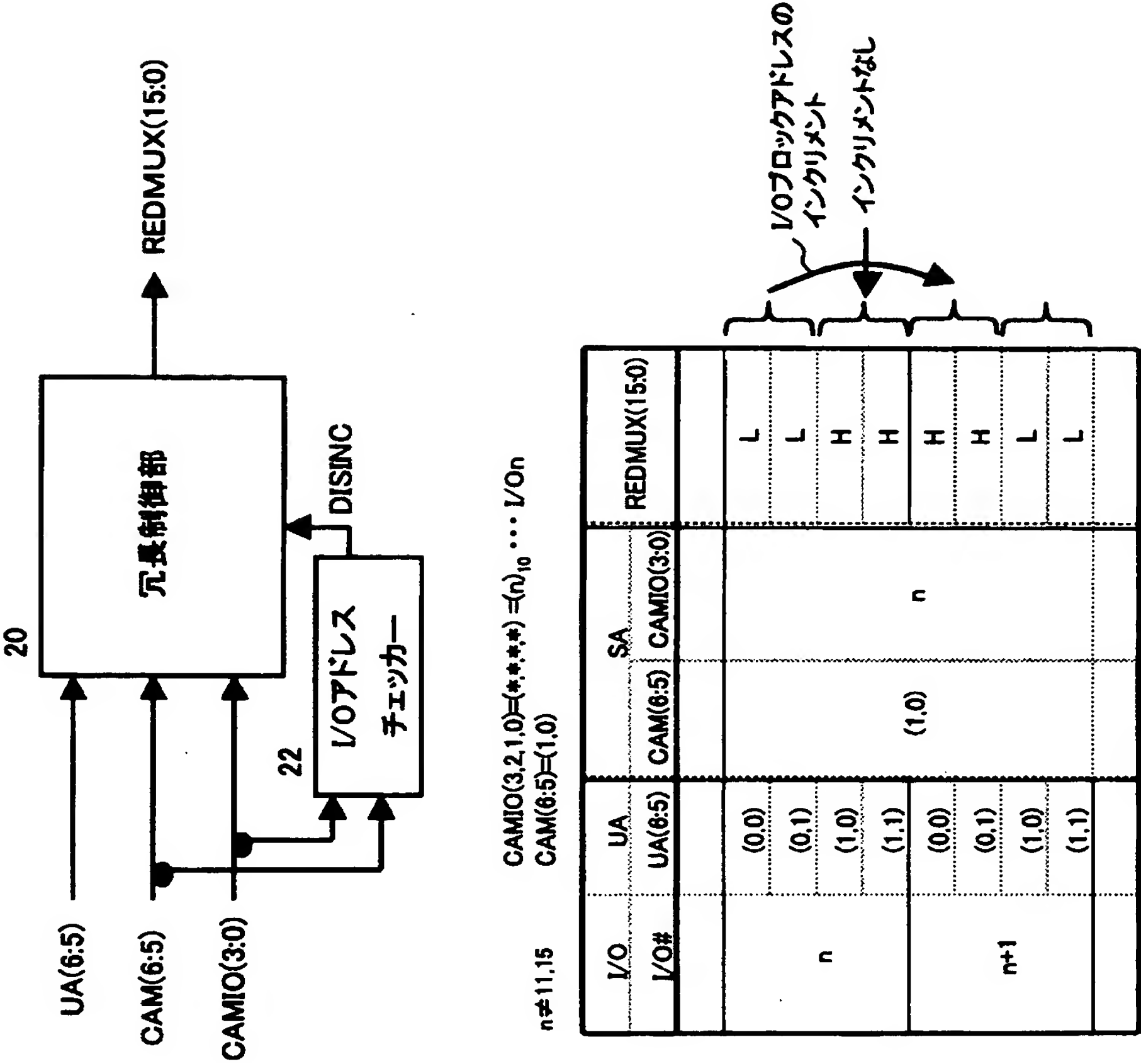
【図 4】



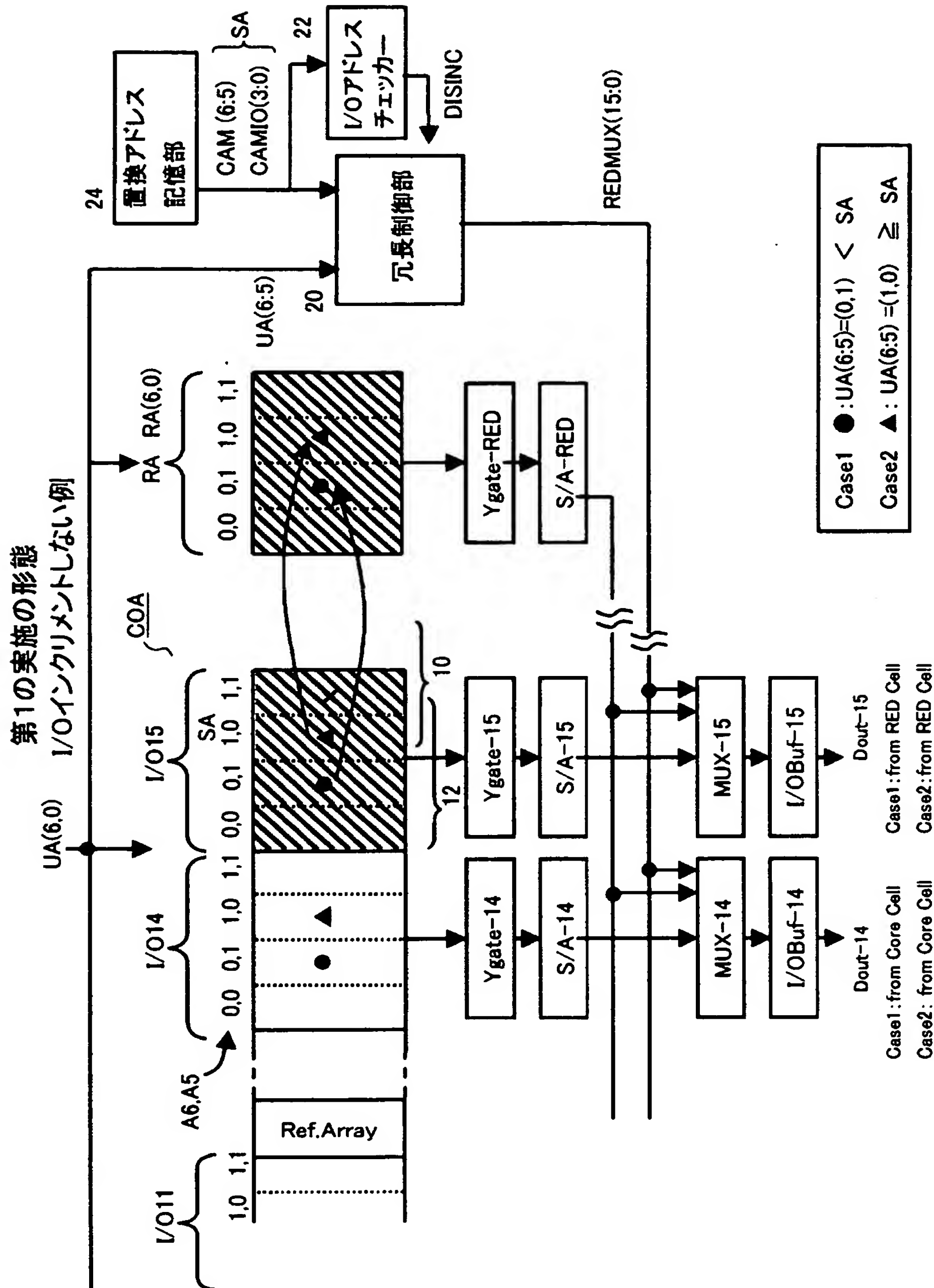
【図 5】



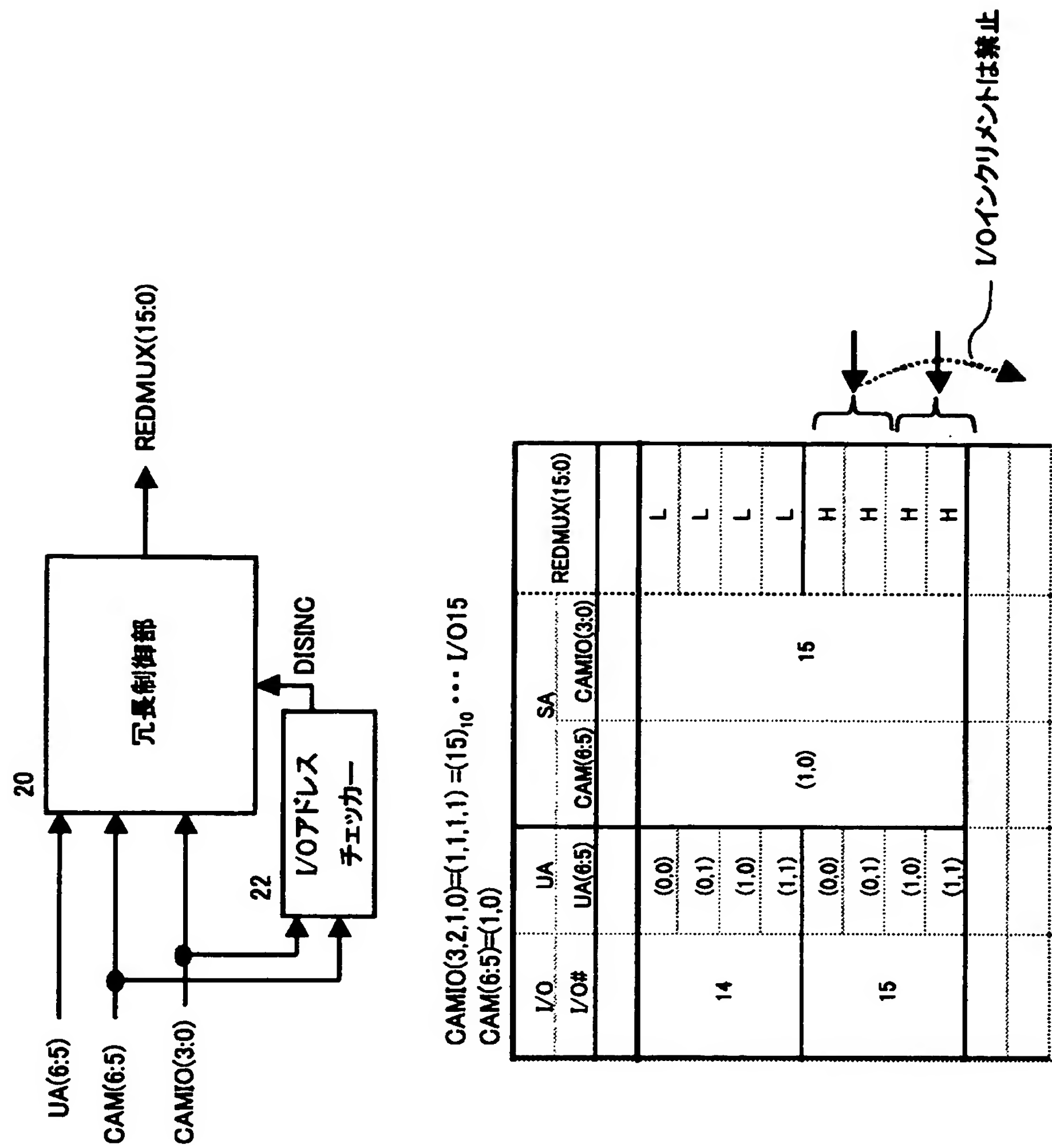
【図 6】



【圖 7.1

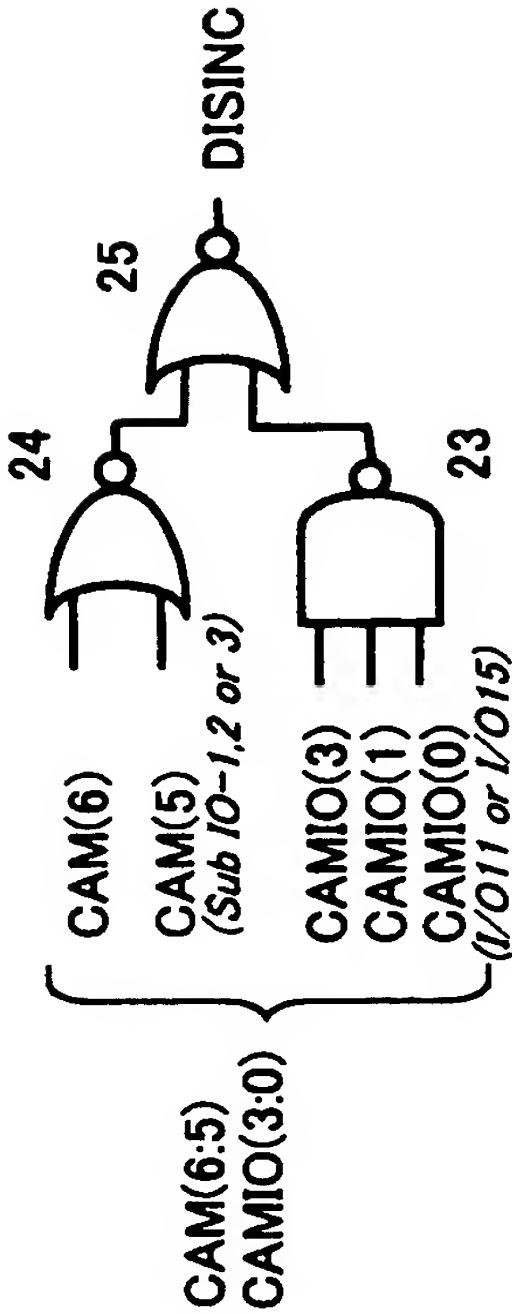


【図 8】



【図9】

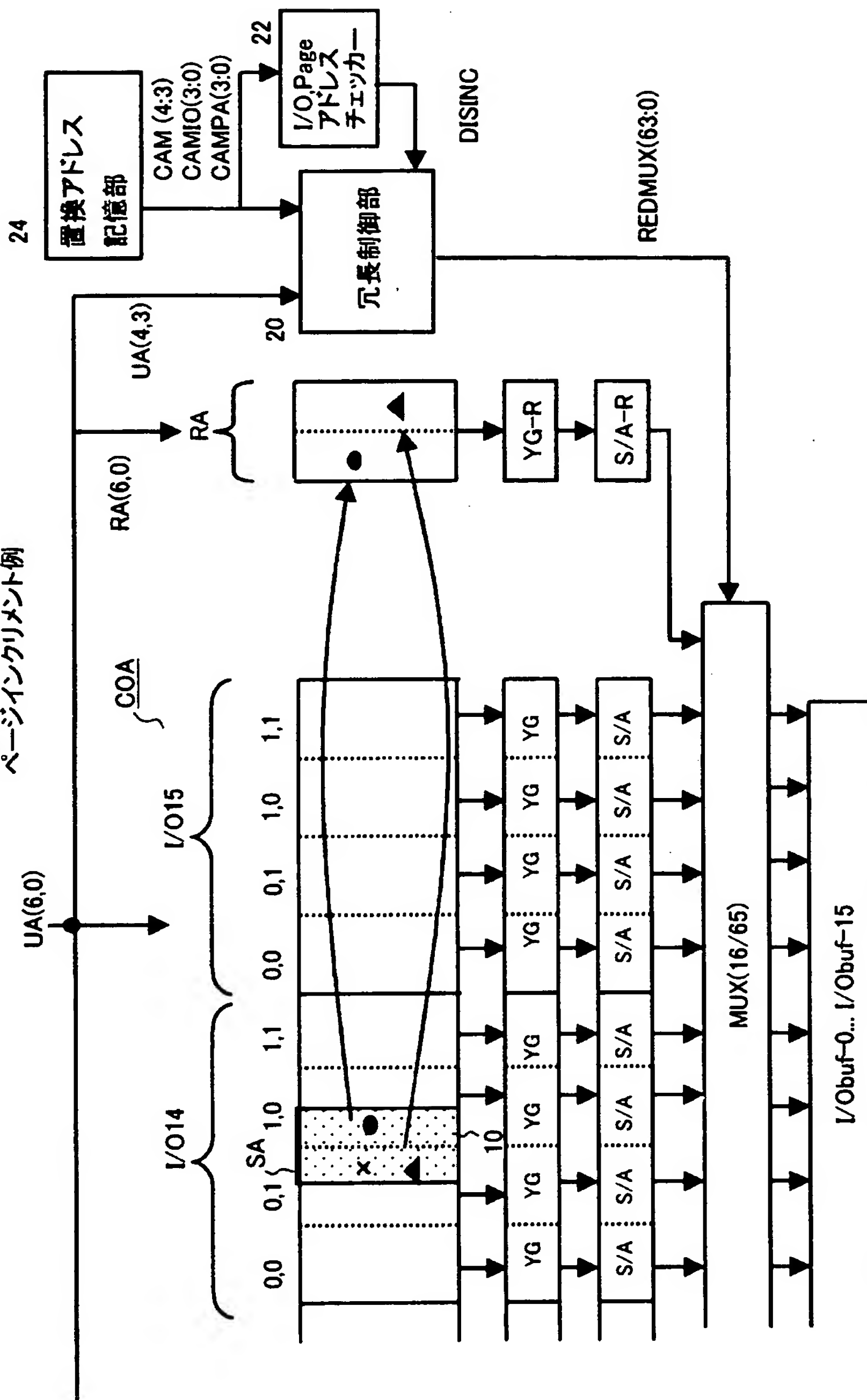
22



I/Oアドレスチェッカー回路

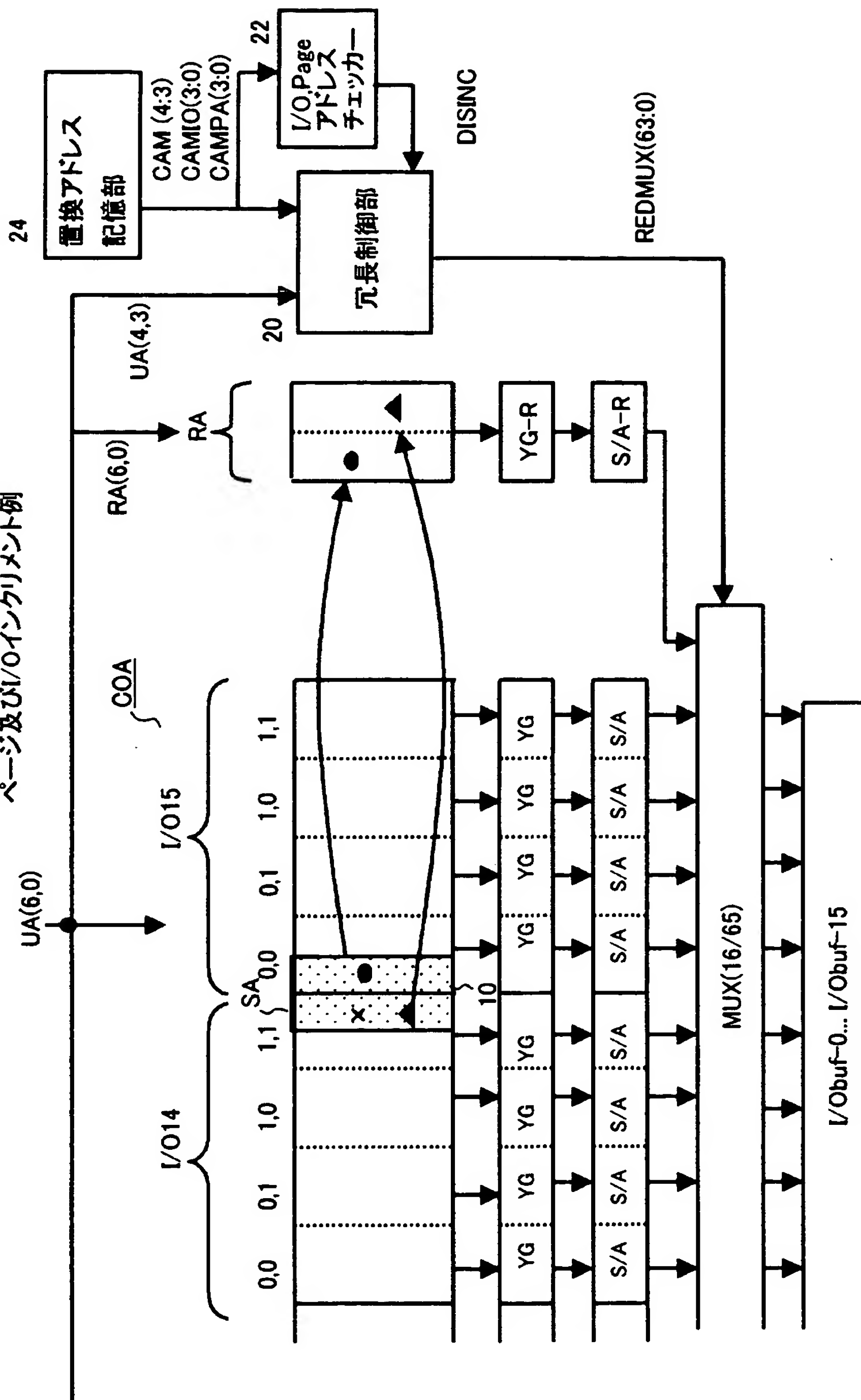
【図 1 0】

第2の実施の形態
ページインクリメント例



【図 1 1】

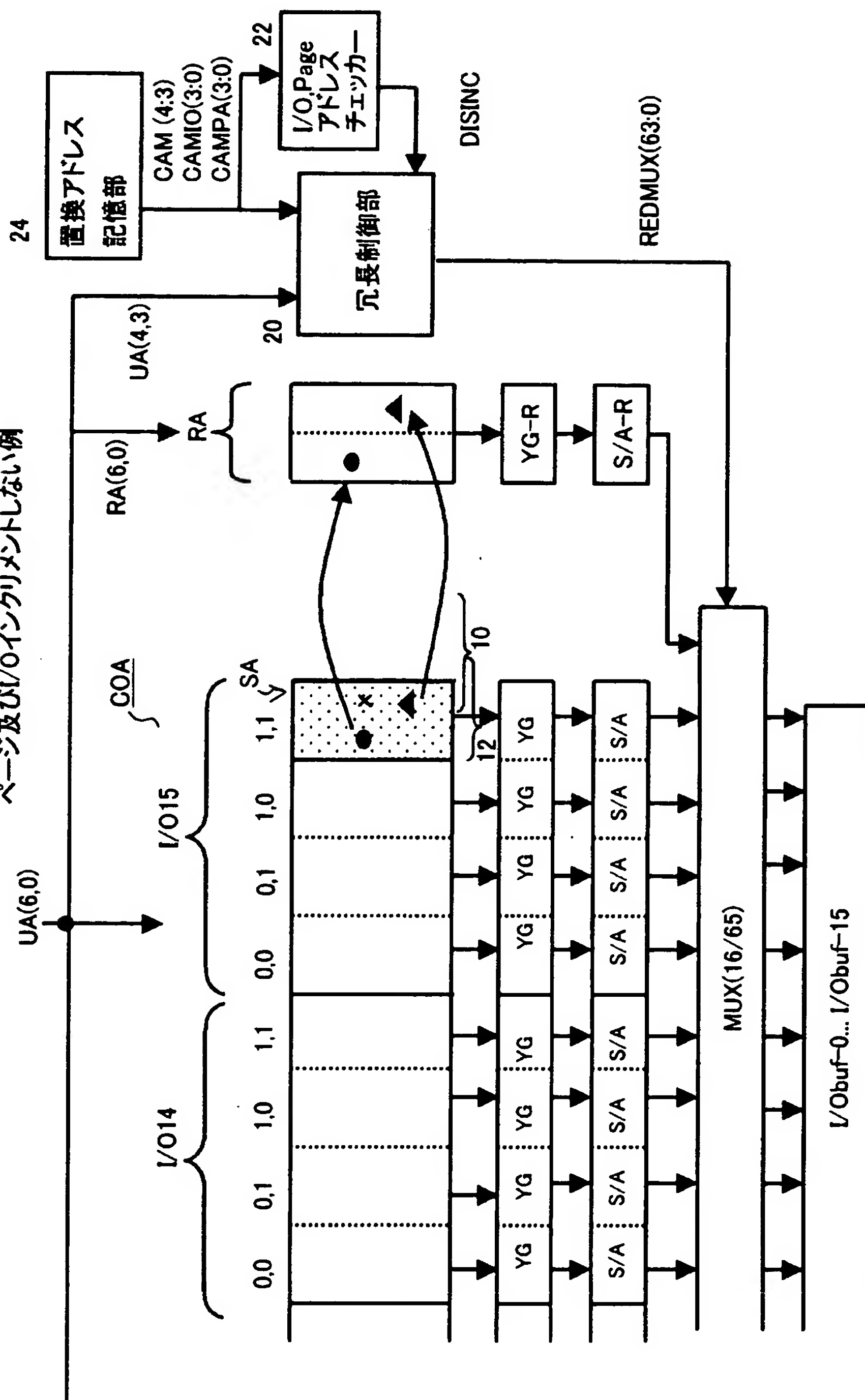
第2の実施の形態
ページ及びI/Oインクリメント例



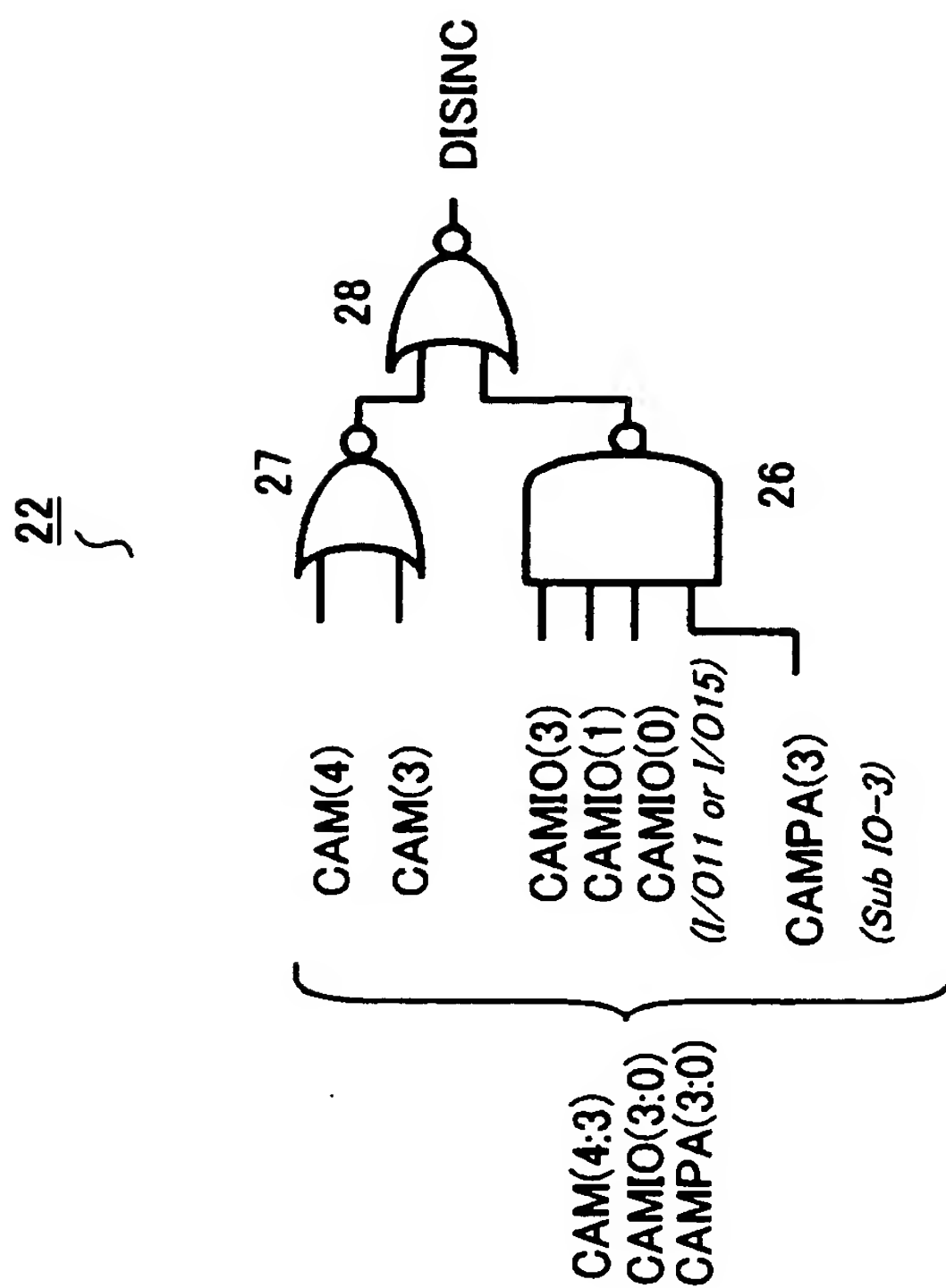
【図 1 2】

第2の実施の形態

ページ及びI/Oインクリメントしない例



【図 13】



I/O, Pageアドレスチェッカー回路

【書類名】

要約書

【要約】

【課題】 不良セルを有する領域が冗長アレイと適切に置換される半導体メモリを提供する

【解決手段】 複数のメモリセルを有するコアアレイと、コアアレイ内の不良セルを含む置換対象領域と置き換えられる冗長アレイとを有する半導体メモリにおいて、前記不良セルの両側を含む第 1 の置換対象領域のアドレスが置換対象アドレスとして記憶される置換アドレスメモリと、コアアレイと冗長アレイとの置換を制御する冗長制御部とを有する。更に、冗長制御部は、前記第 1 の置換対象領域が全てコアアレイ内に位置する時は、前記置換対象アドレスに応じて当該第 1 の置換対象領域を冗長アレイと置換するように制御し、前記第 1 の置換対象領域の一部がコアアレイの外側に位置する時は、不良セルを有しコアアレイの内側にある第 2 の置換対象領域を冗長アレイと置換するように制御する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社